

Д.В. ЕФАНОВ, Т.С. ПОГОДИНА
**ИССЛЕДОВАНИЕ СВОЙСТВ САМОДВОЙСТВЕННЫХ
КОМБИНАЦИОННЫХ УСТРОЙСТВ С КОНТРОЛЕМ
ВЫЧИСЛЕНИЙ НА ОСНОВЕ КОДОВ ХЭММИНГА**

Ефанов Д.В., Погодина Т.С. **Исследование свойств самодвойственных комбинационных устройств с контролем вычислений на основе кодов Хэмминга.**

Аннотация. Рассматривается новый подход к синтезу самопроверяемых устройств, основанный на контроле вычислений контролируемыми объектами с помощью кодов Хэмминга, проверочные символы (контрольные биты) которых описываются самодвойственными функциями. При этом структура работает в импульсном режиме, что фактически основано на внесении временной избыточности при построении самопроверяемого устройства. Это, к сожалению, приводит к некоторому снижению быстродействия, однако существенно повышает характеристики контролепригодности, что особенно актуально для устройств и систем критического применения, входные данные для которых изменяются не столь часто. Дается краткий обзор методов построения схем встроенного контроля на основе свойства самодвойственности вычисляемых функций. Приведены основные структуры организации схем встроенного контроля. Отмечены предполагаемые пути развития теории синтеза схем встроенного контроля на основе проверки принадлежности вычисляемых функций классу самодвойственных булевых функций. Установлены все возможные значения числа информационных символов для кодов Хэмминга, которые будут обладать свойством самодвойственности функций, описывающих контрольные биты. Кодеры таких кодов Хэмминга будут являться самодвойственными устройствами. Так как функции, описывающие контрольные биты кодов Хэмминга, являются линейными, то для того, чтобы они были самодвойственными необходимо, чтобы в каждой из них использовалось нечетное количество аргументов. Доказано, что число разрядов кодовых слов кодов Хэмминга с самодвойственными контрольными функциями равно $n=3+4l$, $l \in \mathbb{N}_0$. Приводятся результаты моделирования самодвойственных устройств со схемами встроенного контроля по двум диагностическим признакам в среде Multisim. Предложен способ модификации структуры контроля вычислений по двум диагностическим признакам, позволяющий использовать любой линейный блоковый код (не обязательно код Хэмминга). Он основан на дооснащении кодера устройством преобразования функций в самодвойственные. Фактически это устройство для формирования модифицированного кода. Доказано, что для получения модифицированного кода Хэмминга с самодвойственными контрольными функциями для случаев $n \neq 3+4l$, $l \in \mathbb{N}_0$, достаточно сложить по модулю $M=2$ несамодвойственную контрольную функцию с функцией старшего информационного бита.

Ключевые слова: самопроверяемое комбинационное устройство, схема встроенного контроля, контроль вычислений на выходах комбинационных устройств, линейный блоковый код, контроль вычислений по двум диагностическим признакам, контроль самодвойственности, контроль вычислений по кодам Хэмминга.

1. Введение. Для реализации высоконадежных и безопасных устройств автоматики и вычислительной техники требуется своевременно обнаруживать возникающие в процессе их эксплуатации

неисправности (устойчивые отказы и сбои), а также парировать их проявления в виде ошибок на линиях схем и неверных сигналов на выходах блоков и узлов. Для этого проектируемые устройства реализуют с контролепригодными, самопроверяемыми и отказоустойчивыми структурами, что требует специальных подходов к их разработке [1 – 5].

Для обнаружения неисправностей в процессе функционирования исходные устройства (назовем их объектами диагностирования) снабжаются дополнительными средствами технического диагностирования в виде схем встроенного контроля (СВК) [6, 7]. СВК косвенно контролируют в процессе эксплуатации возникновение неисправностей по результатам вычислений значений на рабочих выходах объектов диагностирования, либо же в специально выбранных контрольных точках. При фиксации факта возникновения неисправности отказавшее устройство (блок, подсистема и пр.) отключается от последующих каскадов, сигналы блокируются, а неверно вычисленные данные в последующем не используются. Устройства, снабжаемые СВК, фактически входят в состав более сложных устройств, позволяющих отключать объекты, осуществлять реконфигурацию архитектуры, а также запускать процесс восстановления после перезагрузки, либо ремонта объекта с выявленной неисправностью. Такое обустройство отказоустойчивой системы требует внесения существенной избыточности. При этом повсеместно используются методы информационного, временного и структурного резервирования на различных уровнях реализации отказоустойчивых систем: от микроуровня и резервирования самих элементарных составляющих до макроуровня защиты целых блоков и узлов [8].

При синтезе СВК применяются разнообразные подходы: от дублирования для сопоставления сигналов на одноименных выходах различных копий устройств до применения методов помехозащищенного и помехоустойчивого кодирования [9]. В процессе синтеза СВК ориентируются на заранее установленную модель неисправностей, которая с некоторой вероятностью покрывает реальное множество дефектов [10]. Например, модель одиночной константной неисправности (*stuck-at fault*) покрывает от 80 до 95 % реальных физических дефектов при использовании КМОП-технологии для реализации устройств [11].

В настоящей статье читателю предлагаются новые результаты в *исследовании* методов синтеза СВК с контролем вычислений сразу

же по двум диагностическим признакам – контролю принадлежности формируемых значений заранее выбранным линейным блоковым кодам, а также принадлежности каждой реализуемой функции установленному особому классу булевых функций. В качестве кода выбраны всем известные коды Хэмминга [12], а в качестве особого класса булевых функций рассматриваются самодвойственные функции [13]. В статье освещены особенности синтеза СВК с применением кодов Хэмминга, проверочные символы (контрольные биты) которых описываются самодвойственными булевыми функциями.

2. Основные результаты в теории синтеза схем встроенного контроля по признаку самодвойственности функций. Рассматриваемая в настоящей работе задача следует из более чем полувекового опыта ученых всего мира в части разработки методов синтеза СВК с применением временного и пространственного кодирования. Широко распространенными методами в практике синтеза СВК являются дублирование, методы, подразумевающие использование различных блоковых кодов (кодовые методы), методы, основанные на контроле принадлежности вычисляемых функций особым классам булевых функций [9]. Остановимся на кратком обзоре достижений ученых-диагностов в области синтеза СВК с контролем самодвойственности вычисляемых функций.

В работе [14] обсуждаются вопросы обнаружения ошибок в устройствах автоматики и вычислительной техники с помощью временной избыточности и применения свойств самодвойственных функций. Авторами данной статьи установлены свойства структуры, которые позволяют обнаруживать любые одиночные неисправности. Устройства автоматики и вычислительной техники, выходы которых описываются самодвойственными функциями, называются *самодвойственными устройствами* [15]. Некоторые типовые устройства являются самодвойственными, например, полный сумматор или сумматор по модулю $M=2$ [16]. Они исследуются и в современном периоде развития микроэлектроники. Например, в [17] моделируются простейшие устройства сложения двоичных чисел. В [18] показано, что логические элементы, реализующие самодвойственные функции, могут быть эффективно реализованы с применением реконфигурируемых нанотехнологий.

Известно [19], что любую булеву функцию можно преобразовать в самодвойственную с использованием всего одной избыточной переменной. Поэтому путем модернизации структуры

(ресинтеза) можно любое устройство преобразовать в самодвойственное.

Методы преобразования булевых функций в самодвойственные описаны, например, в [20, 21]. Один из методов состоит в замене в структуре исходного устройства несамодвойственных элементов на самодвойственные аналоги. Другой метод базируется на использовании альтернативного сигнала a и известного преобразования К.Э. Шеннона, заключающегося в том, что любую булеву функцию можно разложить по любой переменной по формуле [13]:

$$\begin{aligned} f(x_1, \dots, x_j, \dots, x_t) = \\ = x_j f(x_1, \dots, 1, \dots, x_t) \vee \bar{x}_j f(x_1, \dots, 0, \dots, x_t), \quad j = \overline{1, t}. \end{aligned} \quad (1)$$

Самодвойственная функция f_{SD} получается по формуле:

$$f_{SD} = \bar{a}f \vee ag, \quad (2)$$

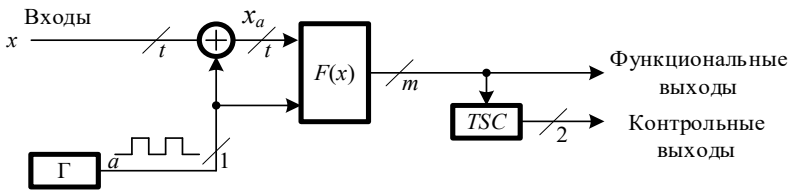
где f – исходная функция, а g – двойственная к ней функция.

В [20] приводятся примеры самодвойственных преобразований, а также даются результаты экспериментов по преобразованиям тестовых комбинационных схем [22, 23] в самодвойственные схемы. При этом отмечается, что в среднем избыточность самодвойственной схемы возрастает для представленной выборки схем на 171 %, что ниже, чем при использовании дублирования. Однако различные схемы обладают различным индексом самодвойственности I_{SD} , показывающим, насколько исходное устройство близко к самодвойственному, поэтому для устройств с $I_{SD} \geq 0,5$ в среднем усложнение гораздо ниже – 146 % относительно показателя сложности технической реализации исходной схемы.

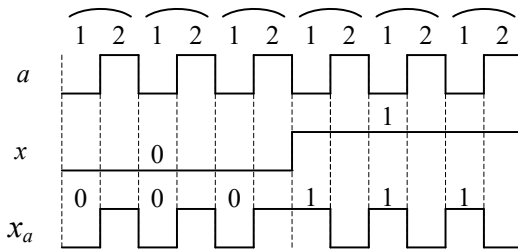
В [19] рассматривается метод синтеза самопроверяемых устройств, который подразумевает использование инвертирования данных и самодвойственного представления функций, реализуемых устройством. Автором данной статьи распространяется идея самодвойственного контроля комбинационных устройств на устройства с памятью, при этом установлены условия, при которых конечные автоматы, описывающие устройства с памятью, будут самодвойственными; приводятся простейшие модификации триггеров

и условия реализации СВК для использования метода инвертирования данных.

В дальнейшем теория синтеза СВК на основе свойств самодвойственных функций развивается научной школой под руководством проф. В.В. Сапожникова и Вл.В. Сапожникова. В уже отмеченной выше работе [20] приведена структура организации СВК для комбинационной схемы, основанная на использовании импульсного режима работы и контроля принадлежности функций к классу самодвойственных. Она изображена на рисунке 1. С помощью генератора Γ формируется импульсная последовательность a , которая позволяет сигналы с каждого входа x_1, x_2, \dots, x_t преобразовать в импульсную последовательность и реализовать самодвойственное устройство по формуле (2). Контроль самодвойственности каждой выходной функции f_1, f_2, \dots, f_m осуществляется с помощью тестера *TSC (totally self-checking checker)*, который, в данном случае, представляет собой каскад тестеров самодвойственного сигнала (тестеров самодвойственности) *SSC (self-checking self-dual checker)* и самопроверяемого компаратора. Схема *SSC* приведена на рисунке 2 [24]. Он имеет два входа: f и a , на который подаются функциональный и альтернативный сигналы соответственно. Для формирования на внутренних линиях *SSC* двухфазного сигнала в точках v_1 и v_2 из сигнала f используется элемент временной задержки τ . Величина задержки определяется как длина одного такта импульсной последовательности a . На выходах z^0 и z^1 формируется контрольный сигнал. Если на входы подан самодвойственный сигнал, то на выходах будет присутствовать парафазный сигнал $\langle 01 \rangle$ или $\langle 10 \rangle$, при нарушении самодвойственности сигнала на входе f и при собственных неисправностях *SSC* выдаст непарафазный сигнал. Компаратор реализуется в виде схемы сжатия парафазных сигналов на основе стандартных модулей сжатия парафазных сигналов *TRC (two-rail checker)*, структуры которых даны в [25]. В качестве альтернативного устройства для синтеза компаратора может использоваться схема из [26].



а)



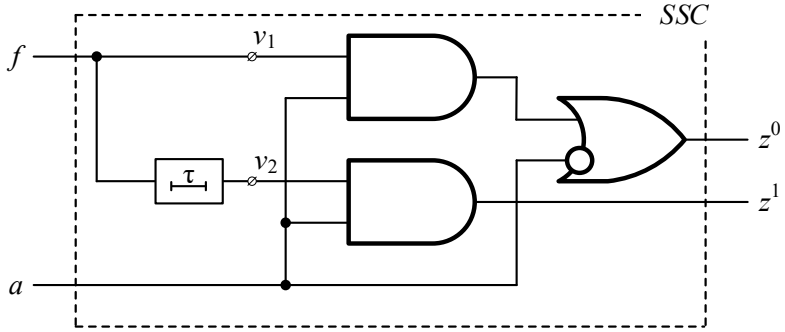
б)

Рис. 1. Контроль самодвойственных схем: а) структура; б) представление сигналов

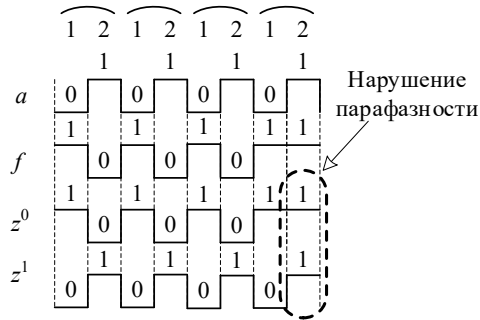
В [27, 28] развивается подход к синтезу СВК с контролем вычислений по признаку самодвойственности. Предложена структура организации СВК, основанная на принципе логической коррекции сигналов (названном авторами впоследствии *логическим дополнением* [29] и развиваемом, в том числе, в работах современников [30, 31]), приведенная на рисунке 3. В данной структуре подразумевается преобразование сигналов с выходов устройства $F(x)$ в самодвойственные сигналы с помощью элементов сложения по модулю $M=2$ по формуле:

$$h_i = f_i \oplus \delta_i, \quad i = \overline{1, m}, \quad (3)$$

где δ_i – функции логической коррекции, вычисляемые блоком $\Delta(x)$.



а)



б)

Рис. 2. Тестер самодвойственности: а) структура; б) фиксация несамодвойственности сигнала f на временной диаграмме работы

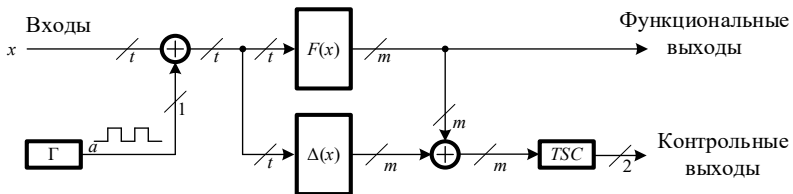


Рис. 3. Структура организации СВК на основе логической коррекции сигналов

В этой же работе приводятся методы расчета функций логической коррекции, и описывается структура организации контроля вычислений по методу *самодвойственного паритета*. Данный метод

подразумевает, что предварительно сигналы со всех выходов объекта диагностирования $F(x)$ будут сжаты с помощью свертки по модулю $M=2$ в один сигнал, который впоследствии будет преобразован в самодвойственный с помощью единственной функции коррекции по формуле (3). В эксперименте с тестовыми комбинационными схемами показано, что такой подход к организации СВК позволяет получать выигрыш даже по сравнению с использованием традиционной структуры контроля по паритету, описанной в [32].

В [33, 34] предлагаются различные модификации структур, основанных на использовании принципа логической коррекции сигналов: структура *самодвойственного дублирования* и структура с выделением групп выходов объекта диагностирования со свертками по модулю $M=2$ с последующим самодвойственным преобразованием. В [15] исследуются особенности синтеза самопроверяемых комбинационных устройств с контролем вычислений по признаку самодвойственности формируемых функций. Авторами данной работы предложен метод преобразования структур комбинационных устройств в защищенные от неисправностей, основанный на реализации схем с монотонным проявлением неисправностей на выходах. В [35] исследованы вопросы реализации СВК для устройств с памятью.

Результаты многолетних исследований ученых в части организации СВК с контролем самодвойственности вычисляемых функций обобщены в трех монографиях [21, 36, 37].

Дальнейшее же развитие методов синтеза СВК с контролем самодвойственности вычисляемых функций, по нашему мнению, связано с применением нескольких диагностических признаков – с комбинированием кодовых методов синтеза СВК и метода контроля самодвойственности сигналов.

На рисунке 4 изображена структура СВК, в которой применено устройство $G(f)$ для преобразования m сигналов в k . Устройство $G(f)$ является кодером заранее выбранного блокового кода [9]. Следует отметить, что, фактически, приведенная на рисунке 4 структура получена путем развития структуры организации СВК по методу «самодвойственного паритета». Подобная структура может использоваться без элементов логической коррекции, если кодер $G(f)$ будет описываться самодвойственными функциями, а может быть модифицирована в структуру с дополнительным контролем вычислений по признаку принадлежности кодовых векторов, формируемых в СВК, заранее выбранным блоковым кодам.

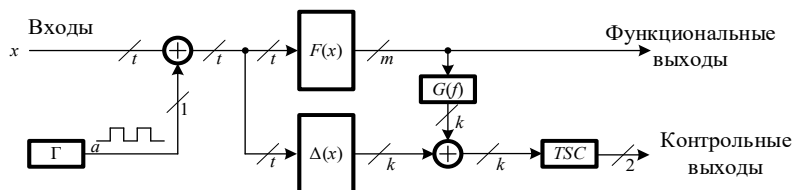


Рис. 4. Структура организации СВК на основе логической коррекции сигналов и применения кодовых методов для контроля вычислений

В качестве кодов, которые могут применяться для преобразований в структуре рисунка 4, могут выступать любые блочные коды. Так как различные блочные коды обладают различными характеристиками обнаружения ошибок, то существуют и определенные особенности их применения [9]. Например, использование линейных блочных кодов позволяет применять помимо свойства самодвойственности еще и свойство линейности реализуемых функций. Среди таких кодов могут эффективно применяться классические коды Хэмминга, алгебраические коды и их разнообразные модификации [12, 38 – 41]. Может быть использовано свойство реализации монотонных функций, которым обладают классические коды с суммированием (коды Бергера), равновесные коды и некоторые их модификации [9, 42, 43]. Таким образом, синтез СВК может быть осуществлен с контролем вычислений сразу же по нескольким диагностическим признакам. В ряде статей, например, в упомянутой выше [24], приводится способ организации СВК, который подразумевает контроль вычислений по равновесным кодам « r из $2r$ » (r – вес кодового слова) с самодвойственной реализацией каждой функции, описывающей биты равновесных кодов. Отмечается, что вместо равновесных кодов могут быть применены и другие блочные коды (при этом, однако, не любой код подходит для этих целей). Использование при контроле вычислений двух диагностических признаков и импульсного режима работы позволяет повышать число тестовых комбинаций для проверки неисправностей, что особенно актуально для диагностирования устройств с редко меняющимися входными данными [44 – 46].

Настоящая работа относится к ветви исследований, охватывающей вопросы изучения особенностей применения кодов Хэмминга при синтезе СВК с контролем самодвойственности сигналов. Применению кодов Хэмминга при построении СВК посвящено достаточно большое количество работ, направленных как

на практически приложения при синтезе самопроверяемых устройств [47, 48], так и на исследования характеристик самих кодов, проявляющихся при их построении [49 – 51]. Однако работы, посвященные исследованию применения при синтезе СВК кодов Хэмминга, контрольные биты которых описываются самодвойственными функциями, отсутствуют. Представленная статья восполняет данный пробел.

3. Постановка задачи. Целью представленного в настоящей работе исследования является изучение особенностей реализации СВК с контролем вычислений по признаку самодвойственности булевых функций, описывающих проверочные символы кодов Хэмминга.

Для достижения цели решаются следующие задачи:

1. Разработка структуры СВК по кодам Хэмминга, контрольные биты которых описываются самодвойственными функциями.

2. Исследование особенностей кодов Хэмминга и поиск тех длин кодовых слов, при которых все контрольные биты будут описываться самодвойственными булевыми функциями.

3. Моделирование простейших цифровых устройств с контролем вычислений по двум обозначенным выше диагностическим признакам в целях подтверждения эффективности в части повышения характеристик контролепригодности.

4. Разработка структуры СВК по произвольным кодам Хэмминга с преобразователем сигналов от кодера в самодвойственные сигналы.

4. Коды Хэмминга. Код Хэмминга строится следующим образом. Формируется проверочная матрица вида:

$$H_n = \begin{pmatrix} 0 & 0 & \dots & 1 & 1 \\ 0 & 0 & \dots & 1 & 1 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 1 & \dots & 1 & 1 \\ 1 & 0 & \dots & 0 & 1 \end{pmatrix}. \quad (4)$$

В матрице H_n перечисляются подряд слева направо все возможные двоичные числа от числа $[00\dots 01]_2$ до числа $[11\dots 11]_2$. Столбцы, соответствующие двоичным числам с десятичными аналогами $n = 2^i$, $i \in \mathbb{N}_0$, отводятся под проверочные символы

(им соответствуют столбцы с одним символом «1»). Остальные столбцы соответствуют информационным символам. Значение функции g_j , $j = \overline{1, k}$, описывающей j -ый проверочный символ, получается, как сумма по модулю $M=2$ сигналов тех информационных бит f_i , на пересечении столбцов которых с j -ой строкой стоит единица. Число проверочных символов определяется как ближайшее целое, удовлетворяющее неравенству: $m+1 \leq 2^k - k$, где $m=n-k$ – число информационных символов.

Часто проверочная матрица (4) для удобства представляется в форме $k \times (k+m)$, где часть, соответствующая проверочным символам, отделена от части, соответствующей информационным символам:

$$H_n = \left(\begin{array}{cccc|cccc} 0 & 0 & \dots & 0 & 1 & 0 & 0 & \dots & 1 & 1 \\ 0 & 0 & \dots & 1 & 0 & 0 & 0 & \dots & 1 & 1 \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ 0 & 1 & \dots & 0 & 0 & 1 & 1 & \dots & 1 & 1 \\ 1 & 0 & \dots & 0 & 0 & 1 & 1 & \dots & 0 & 1 \end{array} \right). \quad (5)$$

Примеры получения кодовых слов, принадлежащих кодам Хэмминга, здесь приводить не будем, они есть в большом числе источников, включая работы [48 – 51].

5. Структура самопроверяемого устройства с контролем вычислений по кодам Хэмминга с самодвойственными функциями. Рассмотрим структуру, приведенную на рисунке 5. В отличие от структуры рисунка 4 в представленной структуре не используется логической коррекции сигналов в СВК. Здесь подразумевается следующее: кодер $G(f)$ является самодвойственным устройством, преобразующим m информационных сигналов в k контрольных. Их можно напрямую контролировать с помощью каскада тестеров самодвойственности $kSSC1$, преобразующих k сигналов в один контрольный сигнал, а также снабдить кодер компаратором $kTRC1$, а СВК дооборудовать блоком $G(x)$ – вычисления контрольных функций по входным воздействиям, выходы которого также подключить к компаратору. Это позволит контролировать вычисления по заранее выбранному коду, проверочные символы которого описываются самодвойственными булевыми функциями. Устройства $G(f)$ и $kTRC1$ образуют тестер выбранного кода

для которых строятся коды Хэмминга с самодвойственными функциями, описывающими проверочные символы.

Вначале определим число суммируемых слагаемых при выполнении j -ой контрольной проверки (при вычислении j -го проверочного символа), $j = 1, \lceil \log_2(n+1) \rceil$, где n – десятичный эквивалент двоичного числа, записанного на вертикали матрицы. При этом в каждой сумме E_j каждой j -ой строки будем учитывать и значения, характеризующие сами контрольные функции (напомним читателю, что столбцы матрицы, для которых $n = 2^i$, $i \in \mathbb{N}$, отводятся под проверочные символы, а нулевой столбец не используется). Далее этот факт учтем.

Рассмотрим матрицу, представленную таблицей 1. Она может служить в качестве проверочной матрицы для кода Хэмминга (15, 11, 3) при $n=15$ и для укороченных кодов Хэмминга с длиной кодового слова $n < 15$ (при удалении некоторого количества столбцов). В ней по возрастающей от $n=1$ до $n=15$ записаны четырехбитные двоичные кодовые векторы от $[0001]_2$ до $[1111]_2$. Определим, как заполнена матрица.

Таблица 1. Пример проверочной матрицы для кода Хэмминга

g_i	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_4	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
g_3	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
g_2	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
g_1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Заполнение матрицы производится с периодичностью, определяемой величиной:

$$\tau_j = 2^j. \tag{6}$$

При этом чередуются 2^{j-1} нулей и столько же единиц в каждом периоде. К примеру, для $j=3$ длина периода составляет $\tau_3 = 2^3 = 8$, чередуется $2^{3-1} = 4$ нуля и столько же единиц. Исключение составляет

только первый период для каждой строки, так как отсутствует число $[0000]_2$. Будем далее это учитывать.

Введем следующее обозначение: E_j – сумма единиц по j строке проверочной матрицы. Формализуем получение чисел E_j для задаваемых значений n и j .

Алгоритм. *Последовательность получения чисел E_j :*

1. Задается число n .
2. Определяется число полных периодов $k_{\tau_j}^F$ для заданного числа n . Оно равно:

$$k_{\tau_j}^F = \left\lfloor \frac{n+1}{2^j} \right\rfloor. \quad (7)$$

К примеру, для $n=13$ имеется $j=1, 2, 3, 4$, число полных периодов для которых равно: $k_{\tau_1}^F = \left\lfloor \frac{13+1}{2^1} \right\rfloor = 7$, $k_{\tau_2}^F = \left\lfloor \frac{13+1}{2^2} \right\rfloor = 3$,

$$k_{\tau_3}^F = \left\lfloor \frac{13+1}{2^3} \right\rfloor = 1, \quad k_{\tau_4}^F = \left\lfloor \frac{13+1}{2^4} \right\rfloor = 0.$$

3. Определяется число единиц для всех полных периодов τ_j .

Сумма единиц в каждом полном периоде равна 2^{j-1} . Соответственно, для всех полных периодов она составляет:

$$2^{j-1} k_{\tau_j}^F = 2^{j-1} \left\lfloor \frac{n+1}{2^j} \right\rfloor. \quad (8)$$

К примеру, для $n=13$ и $j=2$ получаем в полных периодах $2^{2-1} \cdot 3 = 6$ единиц. К слову, число нулей определяется аналогично.

4. Определяется число единиц в неполном периоде. Неполный период включает в себя:

$$(n+1) - \tau_j k_{\tau_j}^F = (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor \text{ нулей и единиц.} \quad (9)$$

К примеру, для $n=13$ и $j=2$ получаем: $14 - \tau_2 k_{\tau_2}^F = 14 - 2^2 \cdot 3 = 14 - 12 = 2$.

В неполном периоде имеется следующее количество нулей:

$$\begin{cases} 2^{j-1} & \text{при } (n+1) - \tau_j k_{\tau_j}^F > 2^{j-1}; \\ (n+1) - \tau_j k_{\tau_j}^F & \text{при } (n+1) - \tau_j k_{\tau_j}^F \leq 2^{j-1}. \end{cases} \quad (10)$$

Остальное – единицы.

К примеру, для $n=13$ и $j=2$ имеем: $(n+1) - \tau_j k_{\tau_j}^F = 2$ и $2^{j-1} = 2^{2-1} = 2$, откуда следует, что число нулей равно 2, а число единиц – 0; для $n=13$ и $j=3$ имеем: $(n+1) - \tau_j k_{\tau_j}^F = 14 - 8 \cdot 1 = 6$ и $2^{j-1} = 2^{3-1} = 4$, откуда следует, что число нулей равно 4, а число единиц – 2.

Отбросим число нулей из неполного периода, получив в нем сумму единиц:

$$\begin{cases} (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor - 2^{j-1} & \text{при } (n+1) - \tau_j k_{\tau_j}^F > 2^{j-1}; \\ 0 & \text{при } (n+1) - \tau_j k_{\tau_j}^F \leq 2^{j-1}. \end{cases} \quad (11)$$

5. Определяется сумма единиц в j строке.

Итак, сумма единиц по j строке будет равна:

$$E_j = \begin{cases} 2^{j-1} \left\lfloor \frac{n+1}{2^j} \right\rfloor + (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor - 2^{j-1} & \text{при } (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor > 2^{j-1}; \\ 2^{j-1} \left\lfloor \frac{n+1}{2^j} \right\rfloor & \text{при } (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor \leq 2^{j-1}. \end{cases} \quad (12)$$

Упростим выражение (12):

$$E_j = \begin{cases} (n+1) - 2^{j-1} \left(\left\lfloor \frac{n+1}{2^j} \right\rfloor + 1 \right) & \text{при } (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor > 2^{j-1}; \\ 2^{j-1} \left\lfloor \frac{n+1}{2^j} \right\rfloor & \text{при } (n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor \leq 2^{j-1}. \end{cases} \quad (13)$$

К примеру, для $n=13$ и $j=3$ имеем:
 $(n+1) - 2^j \left\lfloor \frac{n+1}{2^j} \right\rfloor = (13+1) - 2^3 \cdot \left\lfloor \frac{13+1}{2^3} \right\rfloor = 14 - 8 = 6$, $2^{j-1} = 2^{3-1} = 4$,
откуда следует, что для подсчетов нужно использовать верхнее выражение в формуле (13):

$$E_j = (n+1) - 2^{j-1} \left(\left\lfloor \frac{n+1}{2^j} \right\rfloor + 1 \right) = (13+1) - 2^{3-1} \left(\left\lfloor \frac{13+1}{2^3} \right\rfloor + 1 \right) = 14 - 4 \cdot 2 = 6.$$

В таблице 2 приводятся значения чисел E_j для $n=0..31$ (для демонстрации свойств сумм E_j рассмотрено также и число $n=0$, имеющее смысл лишь с точки зрения наглядности представления закономерности). Выделены столбцы, соответствующие числам n , для которых каждая контрольная сумма будет иметь нечетное количество слагаемых.

Матрица, в которой позиции $n = 2^i$, $i \in \mathbb{N}_0$, отведены также под информационные символы, описывает известный [51] модифицированный код Хэмминга. Такая матрица содержит в каждом столбце слева направо возрастающие двоичные числа. Каждый столбец соответствует информационному символу. Таким образом, при построении модифицированного кода Хэмминга значение j -го проверочного символа, $j = 1, \overline{\lceil \log_2(m+1) \rceil}$ (здесь именно m – размерность кода), получается, как сумма по модулю $M=2$ тех информационных символов, которым соответствуют столбцы в проверочной матрице, в которых на пересечении j -ой строки записана единица. Отметим, что длина такого кода будет равна $n = m + \overline{\lceil \log_2(m+1) \rceil}$, а минимальное расстояние $d_{\min}=2$.

Таблица 2. Значения чисел E_j для $n=0...31$

g_i	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
g_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
g_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
g_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
g_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
E_j																
g_i	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
g_4	0	0	0	0	0	0	0	0	1	2	3	4	5	6	7	8
g_3	0	0	0	0	1	2	3	4	4	4	4	4	5	6	7	8
g_2	0	0	1	2	2	2	3	4	4	4	5	6	6	6	7	8
g_1	0	1	1	2	2	3	3	4	4	5	5	6	6	7	7	8

g_i	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
g_5	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
g_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
g_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
g_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
g_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
E_j																
g_i	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
g_5	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
g_4	8	8	8	8	8	8	8	8	9	10	11	12	13	14	15	16
g_3	8	8	8	8	9	10	11	12	12	12	12	12	13	14	15	16
g_2	8	8	9	10	10	10	11	12	12	12	13	14	14	14	15	16
g_1	8	9	9	10	10	11	11	12	12	13	13	14	14	15	15	16

Теорема 2. Для модифицированного кода Хэмминга при числе информационных символов $t = n = 2^k - 2$, $k \in \{2, 3, \dots\}$, все числа E_j являются нечетными и равными $E_j = 2^{k-1} - 1$.

Доказательство. Рассмотрим элементарный случай $k=3$ (случай с меньшими k не показательны, так как модифицированный код Хэмминга имеет смысл строить для $k \geq 3$). Для данного случая существует $2^k = 2^3 = 8$ различных $n = \overline{0,7}$. Всего для каждой контрольной функции $j = \overline{1,3}$ имеется $2^{k-1} = 2^{3-1} = 4$ нуля и столько же единиц. Максимальная сумма E_j для каждого j достигается для случая $n=7$ и равна $E_1 = E_2 = E_3 = 4$. Это число четное. Если рассмотреть случай $n=6$, то для него следует вычесть по одной единице для каждого E_j , ведь десятичному числу $[7]_{10}$ соответствует двоичное $[111]_2$, в котором все разряды равны единице. Таким образом, для $n=6$ $E_1 = E_2 = E_3 = 3$. Это число нечетное. Если рассмотреть любое меньшее число n , то потребуется отнять от нечетного числа $E_1 = E_2 = E_3 = 3$ для каждого j различное число единиц. Для $n=5$ для двух из трех E_j (E_2 и E_3 , поскольку для $n=6$ двоичный эквивалент равен $[110]_2$) потребуется отнять по единице. Поэтому $E_1 = 3$ и $E_2 = E_3 = 2$. Далее, при формировании сумм числа $n=4$ нужно от числа $[101]_2$ перейти к числу $[100]_2$, что потребует отнять от $E_1 = 3$ и $E_3 = 2$ по единице: $E_1 = E_2 = 2$ и $E_3 = 1$. Числа $n < 4$ рассматривать не следует, так как для этих чисел $k=2$. Таким образом, из всех возможных вариантов для $k=3$ только вариант $m = n = 2^k - 2 = 2^3 - 2 = 6$ дает все нечетные E_j . При этом, они в точности будут равны $E_j = 2^{k-1} - 1 = 2^{3-1} - 1 = 3$.

Рассмотрим произвольное значение k . Для него существует k различных сумм E_j , $j = \overline{1,k}$. Для каждой контрольной функции максимальная сумма $E_j = 2^{k-1}$. Это четное число. Число n для такой суммы будет в двоичном виде выглядеть так: $[11\dots11]_2$. И только для числа $n-1$ одновременно от каждого $E_j = 2^{k-1}$ будет отнята единица. Новые $E_j = 2^{k-1} - 1$, и они все будут нечетными. Число $n-1$ в двоичном виде будет равно: $[11\dots10]_2$. Следующее за ним число по убыванию $n-2$ в двоичном виде будет равно: $[11\dots01]_2$. Для его получения потребуется от всех $E_j = 2^{k-1} - 1$, кроме $E_1 = 2^{k-1} - 1$ отнять по единице. Новые суммы станут равными $E_j = 2^{k-1} - 2$, $j \in \{2, 3, \dots, k\}$

и $E_1 = 2^{k-1} - 1$. Все числа, кроме E_1 , четные. Далее при получении числа $n-3$ изменится четность у всех $E_j = 2^{k-1} - 2, j \in \{1, 2, \dots, k\} \setminus \{2\}$. Все числа $E_j = 2^{k-1} - 3, j \in \{3, 4, \dots, k\}$ будут нечетными, а $E_1 = E_2 = 2^{k-1} - 2$ – четными. Далее процесс продолжится, так как для числа $n-4$ четность функций старших разрядов должна поменяться. В итоге, предельный случай для числа $\frac{n}{2} + 1$ будет соответствовать двоичному числу $[10\dots00]_2$, для которого $E_j = 2^{k-2}, j = \overline{1, k-1}$ и $E_k = 1$. Условие теоремы выполняется. Выполняется оно и для случая $k+1$. Теорема доказана.

Теорема 2 относится к модифицированным кодам Хэмминга. При построении классических кодов Хэмминга столбцы $n = 2^i, i \in \mathbb{N}_0$, отводятся под проверочные символы (таблица 3). Определим число суммируемых слагаемых при выполнении j -ой контрольной проверки, $j = \overline{1, k}$, для классического кода Хэмминга.

Таблица 3. Пример проверочной матрицы кода Хэмминга с выделением столбцов, соответствующих контрольным символам

g_i	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_4	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
g_3	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
g_2	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
g_1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Число E_j (формула 13) определяет сумму единиц без учета отбрасываемых единиц для чисел $n = 2^i, i \in \mathbb{N}_0$.

Новая проверка появляется только тогда, когда формируется столбец для числа j . Для каждого числа j требуется удалить одну «лишнюю» единицу. Получаем:

$$E^*_j = E_j - 1. \tag{14}$$

В таблице 4 приводятся значения чисел E_j для $n=0\dots31$ для классического кода Хэмминга. Аналогично таблице 2, в таблице 4 выделены те столбцы, для которых каждая полученная контрольная

сумма будет иметь нечетное количество слагаемых. В таблице 4, в отличие от таблицы 2, выделены уже другие столбцы, соответствующие числам n . Анализ таблицы 4 позволяет установить закономерность в выделении столбцов.

Таблица 4. Значения чисел E_j для $n=0...31$ для классических кодов Хэмминга

g_i	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
g_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
g_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
g_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
g_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
E_j																
g_i	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_5	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
g_4	0	0	0	0	0	0	0	0	0	1	2	3	4	5	6	7
g_3	0	0	0	0	0	1	2	3	3	3	3	3	4	5	6	7
g_2	0	0	0	1	1	1	2	3	3	3	4	5	5	5	6	7
g_1	0	0	0	1	1	2	2	3	3	4	4	5	5	6	6	7
E_j																
g_i	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
g_5	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
g_4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
g_3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
g_2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
g_1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
E_j																
g_i	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
g_5	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
g_4	7	7	7	7	7	7	7	7	8	9	10	11	12	13	14	15
g_3	7	7	7	7	8	9	10	11	11	11	11	11	12	13	14	15
g_2	7	7	8	9	9	9	10	11	11	11	12	13	13	13	14	15
g_1	7	8	8	9	9	10	10	11	11	12	12	13	13	14	14	15

Теорема 3. Для классического кода Хэмминга при числе разрядов в кодовых словах $n = 3 + 4l$, $l \in \mathbb{N}_0$, все числа E_j являются нечетными.

Доказательство. Рассмотрим первое из чисел $n=3$, для которого должно выполняться условие теоремы 3. При формировании каждого из чисел E_j , $j=1, 2$, требуется сложить ровно $E_j = 2^{\log_2(n+1)-1}$ единиц: от двоичных чисел $[1]_2$, $[10]_2$ и собственно числа $[11]_2$. Однако

при формировании матрицы было оговорено, что числа n , равные степени числа 2, не должны учитываться, и из числа E_j каждый раз при добавлении новой контрольной функции с ростом n должна вычитаться единица. Числа $[1]_2$ и $[10]_2$ есть степени числа 2. Вычтем из каждого E_j , $j = 1, 2$, по единице и получим $E_1 = E_2 = 1$.

Далее появляется группа из четырех чисел, для которой вводится еще один контрольный разряд: $[100]_2$, $[101]_2$, $[110]_2$, $[111]_2$. Первое число исключается как степень числа 2. Для формирования второго числа $[101]_2$ нужно добавить к $E_1 = 1$ единицу и то же к $E_3 = 1$. Число E_1 станет равным $E_1 = 2$. Это четное число. Далее следует число $[110]_2$. Нужно добавить к $E_2 = 1$ и к $E_3 = 1$ по единице. Таким образом, $E_2 = E_3 = 2$. Все три суммы четные. Следующее число формируется при добавлении к каждой сумме по единице. Все суммы становятся нечетными. Это случай $n=3+4=7$.

Далее следует группа чисел $[1000]_2$, $[1001]_2$, $[1010]_2$, $[1011]_2$. К нечетным числам $E_1 = E_2 = 3$ при формировании последнего из представленных двоичных чисел добавляется ровно по 2 единицы, что не меняет их четности. К числу E_3 не прибавляется ничего. Число $E_4 = 1$. Десятичное число, соответствующее двоичному $[1011]_2$, равно $n=3+4+4=7+4=11$.

Далее рассматривается следующая «четверка» чисел. Всякий раз при формировании четвертого из них в каждую сумму либо не добавляется ничего, либо добавляется четное число 2, а с ростом n – либо 2, либо 4 (таблица 5).

Таблица 5. Значения чисел E_j для $n = 3 + 4l$, $l \in \{0, 1, \dots, 15\}$

3	7	11	15	19	23	27	31	35	39	43	47	51	55	59	63
0	0	0	0	0	0	0	0	3	7	11	15	19	23	27	31
0	0	0	0	3	7	11	15	15	15	15	15	19	23	27	31
0	0	3	7	7	7	11	15	15	15	19	23	23	23	27	31
0	3	3	7	7	11	11	15	15	19	19	23	23	27	27	31
1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31
1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31

В итоге, как видно, при рассмотрении каждого четвертого числа после 3, четность сумм E_j не меняется. Теорема доказана.

Определим числа m для тех n , которые характеризуют нечетные суммы E_j для всех j , что важно с практической точки зрения, так как дают возможность выбора конкретного кода Хэмминга.

Задача заключается в определении числа $m = n - k$ для каждого случая $n = 3 + 4l$, $l \in \mathbb{N}_0$.

Для каждого числа k существует предельное значение $m = m^*$:

$$m^* = (2^k - 1) - k, \quad k \in \mathbb{N}. \quad (15)$$

Все значения m для данного k (то есть числа $m > m^{**} = (2^{k-1} - 1) - (k - 1) - 1$) могут быть получены по формуле:

$$m = m^* - 4l, \quad l \in \left\{ 0, 1, \dots, \left\lfloor \frac{m^* - m^{**}}{4} \right\rfloor \right\}. \quad (16)$$

К примеру, получим по формуле (16) все возможные значения m для кодов с $k=5$:

$$m^* = (2^5 - 1) - 5 = 26,$$

$$m^{**} = (2^{5-1} - 1) - (5 - 1) = 11,$$

$$m = 26 - 4l, \quad l = \overline{0, 3}: \quad m = 26 - 4 \cdot 0 = 26, \quad m = 26 - 4 \cdot 1 = 22, \\ m = 26 - 4 \cdot 2 = 18, \quad m = 26 - 4 \cdot 3 = 14.$$

Таким образом, пользуясь формулой (16), можно получить для каждого значения k все возможные значения m , для которых E_j для всех j .

Можно сделать следующие выводы. Во-первых, не любой код Хэмминга может быть использован для контроля вычислений на выходах самодвойственных устройств. Для кодов Хэмминга со значениями длин $n \neq 3 + 4l$, $l \in \mathbb{N}_0$ кодеры не будут являться самодвойственными устройствами. Во-вторых, организовать контроль вычислений на выходах самодвойственного устройства по представленному методу можно только путем выделения групп

выходов с мощностью $n = 3 + 4l$, $l \in \mathbb{N}_0$. При построении СВК выходы отдельных СВК для образованных групп выходов исходного устройства подключаются к входам самопроверяемого компаратора, выходы которого уже являются контрольными выходами устройства.

7. Моделирование самодвойственных устройств. Для демонстрации особенностей тестирования самодвойственных устройств с применением структуры, приведенной на рисунке 5, проведем моделирование в среде Multisim, широко используемой для отладки и симуляции цифровых схем [53, 54]. Для этого рассмотрим элементарное комбинационное устройство, реализованное в базе стандартных функциональных элементов (рисунок 6).

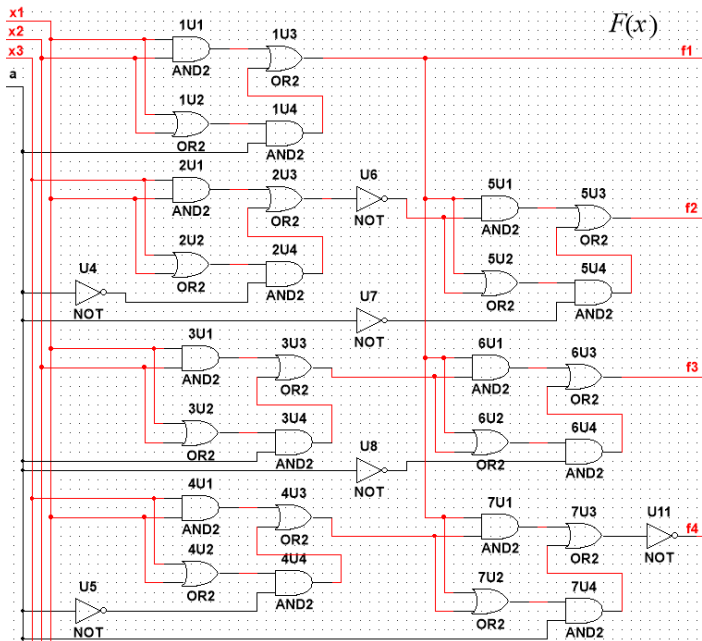


Рис. 6. Схема комбинационного устройства, реализованная в Multisim

Выбранное комбинационное устройство имеет три входа x_1 , x_2 , x_3 и один дополнительный вход, на который подается альтернативный сигнал a для реализации импульсного режима работы, а также снабжено четырьмя выходами f_1, f_2, f_3, f_4 .

Для реализации структуры рисунка 5 был синтезирован блок контрольной логики $G(x)$. Сами шаги процедуры синтеза здесь не приведены, так как использованы известные методики [11]. Остальные элементы структуры рисунка 5 являются типовыми: кодер кода Хэмминга $G(f)$, тестеры самодвойственности SSC и модули сжатия парафазных сигналов TRC . Синтезированное устройство со схемой встроенного контроля по двум диагностическим признакам приведено на рисунке 7.

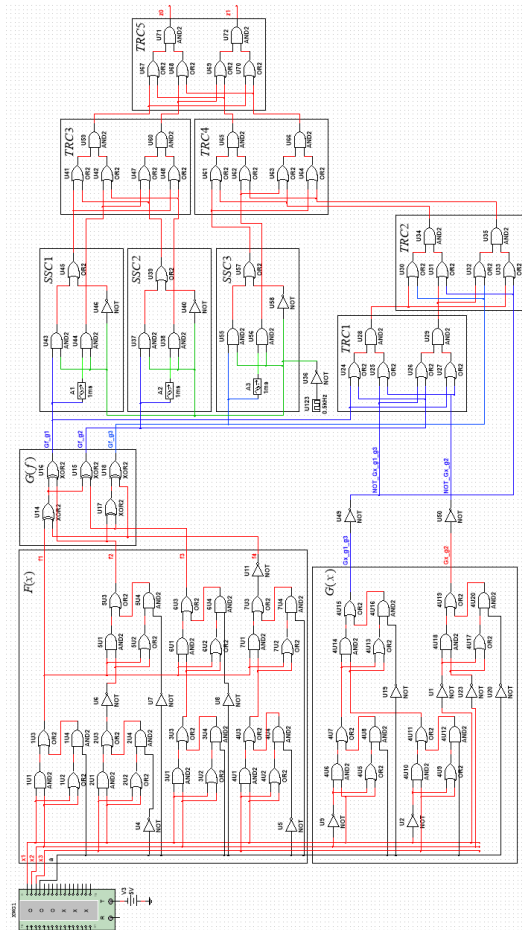


Рис. 7. Самопроверяемое устройство для рассматриваемого примера

На рисунке 8 показана работа устройства и выведены сигналы с тех точек, в которых наблюдаются значения рабочих выходов устройств $F(x)$ и $G(x)$ и контрольных сигналов в СВК. Генератор кодовых слов (XWG1) настраивается таким образом, чтобы на входы устройства в каждой паре тактов поступали ортогональные по всем переменным входные комбинации (рисунок 8а). Использована подача пар входных комбинаций по возрастающей в их последовательности от (0000, 1111) к (0111, 1000). Всего 8 пар входных комбинаций. На рисунках 8б и 8в демонстрируются временные диаграммы работы схем при подаче всех пар входных комбинаций. Читатель может обратить внимание на то, что на каждой паре входных комбинаций значения на выходах парафазны (рисунок 8б), как парафазны и значения на парах тестовых выходов проверяющих элементов (рисунок 8в). Это характеризует работу исправного устройства.

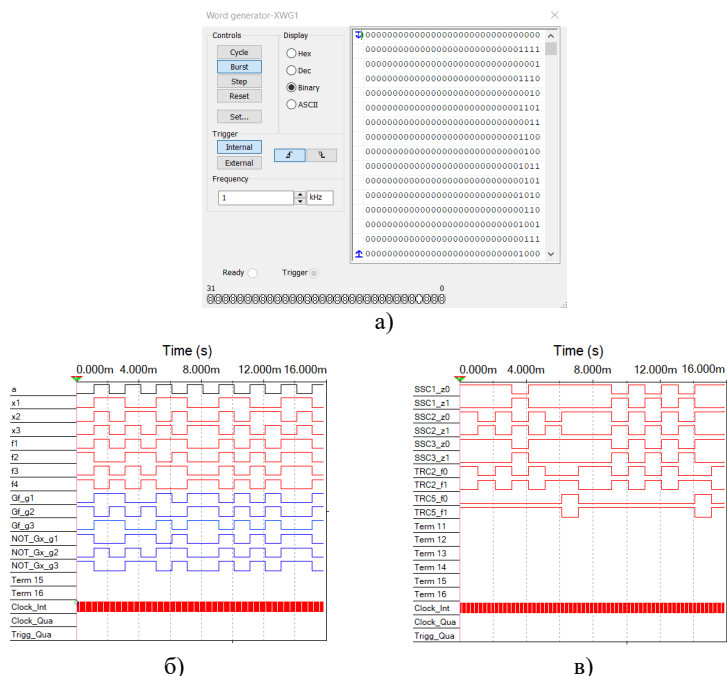


Рис. 8. Моделирование работы схемы при исправности объекта диагностирования: а) настройка генератора кодовых слов; б) временная диаграмма работы устройств $F(x)$, $G(f)$, $G(x)$; в) временная диаграмма работы устройств SSC и TRC

На рисунке 9 отдельно приводятся схема кодера $G(f)$, а также временные диаграммы его работы в отсутствие и при наличии неисправности «константа 0» на верхнем входе его элемента $U3$. Из сравнения рисунков 9б и 9в видно, что при неисправности в схеме на каждой паре входных комбинаций парафазность сохраняется, однако не на всех комбинациях генерируются корректные контрольные векторы (пары 2, 4, 6 и 8 (обе комбинации в паре тестовые); 3 – первая комбинация в паре тестовая).

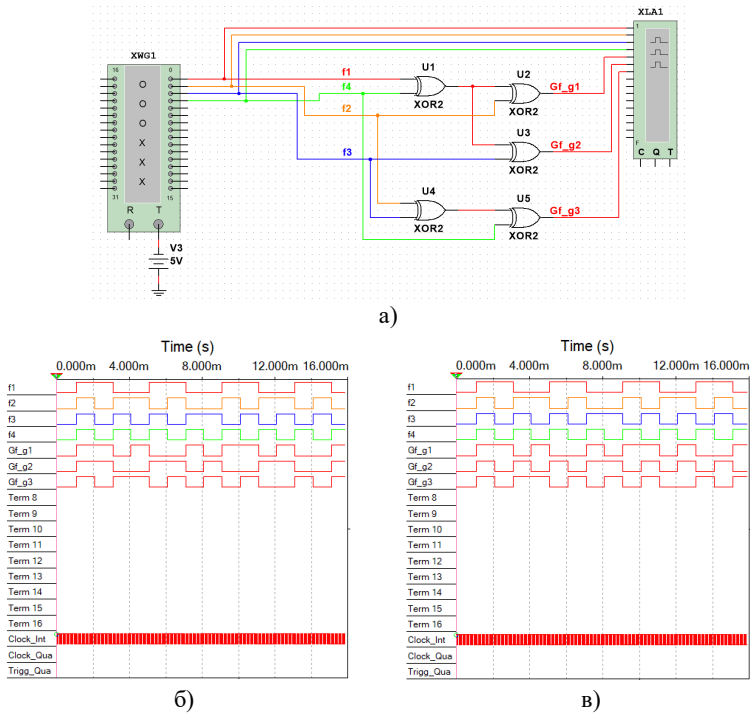


Рис. 9. Моделирование работы кодера кода Хэмминга: а) схема кодера с подключенным анализатором XLA1; б) временная диаграмма работы кодера в исправном состоянии объекта диагностирования; в) временная диаграмма работы кодера при неисправности «константа 0» на верхнем входе его элемента $U3$

Схема тестера самодвойственности и результаты моделирования его работы представлены на рисунке 10. На вход f

тестера подается самодвойственный сигнал, который в самом тестере уже преобразуется в двухфазный с использованием линии задержки.

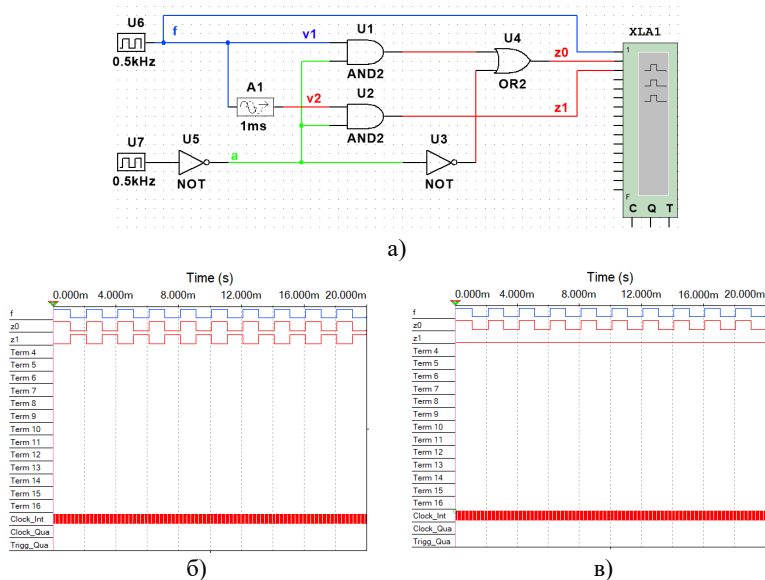


Рис. 10. Моделирование работы тестера самодвойственности: а) схема SSC с подключенным анализатором XLA1; б) временная диаграмма работы SSC в штатном режиме; в) временная диаграмма работы при неисправности «константа 0» на нижнем входе его элемента U2

Задержка на элементе A1 выбирается равной одному такту импульсной последовательности a , которая подается на соответствующий вход тестера. Частота последовательности равна

$$0,5 \text{ кГц. Поэтому задержка равна } \tau = \frac{1/\nu}{2} = \frac{1/0,5 \text{ кГц}}{2} = 1 \text{ мс.}$$

На рисунке 10б показана работа тестера самодвойственности в отсутствии неисправностей. На рисунке 10в демонстрируется работа при возникновении неисправности «константа 0» на нижнем входе элемента U2. Из анализа диаграмм следует, что вторая комбинация в каждой паре входных комбинаций является тестовой.

Сигналы с одноименных выходов блоков $G(f)$ и $G(x)$ поступают на входы двух элементов TRC – TRC1 и TRC2 на схеме рисунка 7. Так как на одноименных выходах обоих блоков реализуются

одинаковые функции, сигналы от блока контрольной логики инвертируются на элементах U49 и U50. Выходы *TRC2* фактически представляют собой контрольные выходы тестера кода Хэмминга. Каскад тестеров *TRC3 – TRC5* служит для сжатия четырех парафазных сигналов – с выходов *SSC1 – SSC3* и *TRC2*. Выходы устройства *TRC5* представляют собой контрольные выходы z^0 и z^1 всей СВК по двум диагностическим признакам.

С целью демонстрации эффективности использования контроля вычислений по двум диагностическим признакам по сравнению с контролем по одному из них, смоделируем работу всего устройства с СВК при возникновении неисправностей в объекте диагностирования $F(x)$. Особенностью схемы устройства $F(x)$ является то, что только элементы 1U1...1U4 связаны путями со всеми четырьмя ее выходами f_1, f_2, f_3 и f_4 ; остальные элементы схемы путями связаны только с каким-либо одним из ее выходов. Поэтому рассмотрим для примера особенности фиксации ошибок, вызванных неисправностями «константа 0» и константа 1» только элемента 1U3 (рисунок 6). Временные диаграммы работы самопроверяемого устройства представлены на рисунке 11. Анализируются они на каждой паре входных комбинаций, показанной вертикальными пунктирными отсечками.

Результаты моделирования сведены в таблицу 6, где указаны те входные комбинации в каждой паре, которые являются тестовыми для заданных неисправностей. Приведены данные для выходов устройств *TRC2* и *TRC5*. Использование контроля по двум диагностическим признакам позволило увеличить число тестовых комбинаций, что улучшает свойство контролепригодности самого устройства.

Таблица 6. Результаты моделирования неисправностей в самопроверяемом устройстве

Пара входных комбинаций	Номер такта	Номер тестовой комбинации в паре			
		Константа 0, 1U3		Константа 1, 1U3	
		<i>TRC2</i>	<i>TRC5</i>	<i>TRC2</i>	<i>TRC5</i>
(0000, 1111)	1	2	2	1	1, 2
(0001, 1110)	2	2	2	1	1, 2
(0010, 1101)	3	2	2	1	1, 2
(0011, 1100)	4	1	1, 2	2	2
(0100, 1011)	5	2	2	1	1, 2
(0101, 1010)	6	2	2	1	1, 2
(0110, 1001)	7	2	2	1	1, 2
(0111, 1000)	8	2	1, 2	2	2

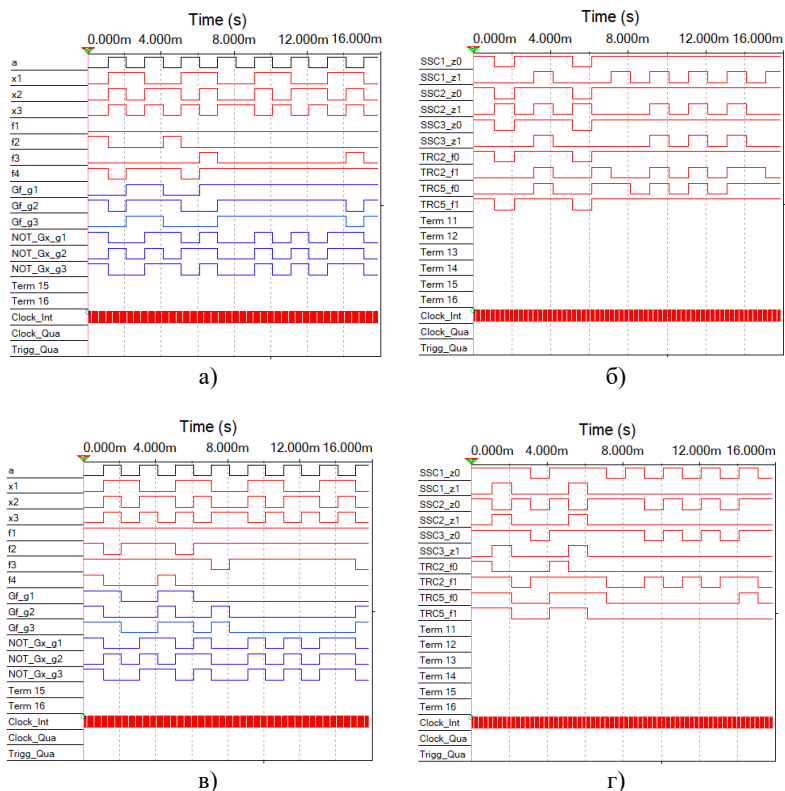


Рис. 11. Моделирование работы самопроверяемого устройства при возникновении неисправностей: а) временная диаграмма работы устройств $F(x)$, $G(f)$, $G(x)$ при неисправности «константа 0» на выходе элемента 1U3; б) временная диаграмма работы устройств SSC и TRC при неисправности «константа 0» на выходе элемента 1U3; в) временная диаграмма работы устройств $F(x)$, $G(f)$, $G(x)$ при неисправности «константа 1» на выходе элемента 1U3; г) временная диаграмма работы устройств SSC и TRC при неисправности «константа 1» на выходе элемента 1U3

8. Использование δ -преобразователей для получения самодвойственных функций. Ранее было доказано, что для кодов Хэмминга со значениями длин $n \neq 3 + 4l$, $l \in \mathbb{N}_0$ кодеры не будут являться самодвойственными устройствами. Возможна организация СВК таким образом, чтобы и для несамодвойственных кодеров $G(f)$ организовать контроль по двум диагностическим признакам. Для этого

каждый классический код Хэмминга модифицируем в некоторый δ -код, проверочные символы которого будут всегда описываться самодвойственными функциями.

Внесем следующие изменения в структуру рисунка 5. Во-первых, заменим блок $G(f)$ на блок $\Delta(f)$, образованный последовательным соединением исходного несамодвойственного блока $G(f)$ и преобразователя несамодвойственного сигнала в самодвойственный $\Delta(g)$. Устройство $\Delta(f)$ фактически будет кодером модифицированного δ -кода. Во-вторых, заменим блок $G(x)$ на блок $\Delta(x)$, который будет формировать проверочные символы δ -кода по значениям входов для устройства $F(x)$. Остальное оставим без изменений (рисунок 12).

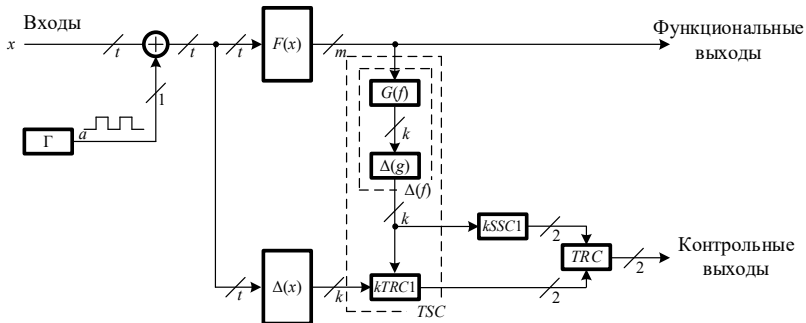


Рис. 12. Структура самопроверяемого устройства с контролем вычислений по модифицированным кодам в коды с самодвойственными контрольными функциями

Процесс синтеза блока $\Delta(x)$ не отличается от процесса синтеза блока $G(x)$. Интерес представляет процесс синтеза преобразователя $\Delta(g)$.

Теорема 4. Для того, чтобы функция, описывающая выход кодера и имеющая четное число аргументов, стала самодвойственной необходимо и достаточно сложить ее по модулю $M=2$ с функцией, описывающей старший разряд в векторе аргументов.

Доказательство. Для рассматриваемой функции q четно. Функция, описывающая старший разряд в векторе аргументов – функция f_1 , – на половине наборов равна 0 и на половине равна 1. Для тех наборов, на которых она равна 0, имеем: $\delta = g \oplus f_1 = g$. Для тех наборов, на которых она равна 1, справедливо: $\delta = g \oplus f_1 = \bar{g}$.

Таким образом, при инвертировании всех аргументов инвертируется значение функции. Функция будет самодвойственной, **что и требовалось доказать.**

Из теорем 1 и 4 следуют правила построения кодера линейного блочного кода от m переменных, снабженного k самодвойственными выходами:

$$g_j = f_{i_1} \oplus f_{i_2} \oplus \dots \oplus f_{i_q}, \quad i_1, i_2, \dots, i_q \in \{1, 2, \dots, m\}, \quad j = \overline{1, k}. \quad (17)$$

$$\delta_j = \begin{cases} g_j, & \text{если } q - \text{нечетно,} \\ g_j \oplus f_1, & \text{если } q - \text{четно.} \end{cases} \quad (18)$$

Выражения (17) и (18) фактически описывают проверочные символы модифицированного δ -кода.

Формула (18) применима к любому линейному блочному коду. Приведем здесь пример ее использования для формирования δ -кода из классического кода Хэмминга со значением $m=6$ (матрицы 4 и 5).

Из правил построения кода Хэмминга получаем:

$$\begin{cases} g_1 = f_1 \oplus f_2 \oplus f_4 \oplus f_5; \\ g_2 = f_1 \oplus f_3 \oplus f_4 \oplus f_6; \\ g_3 = f_2 \oplus f_3 \oplus f_4; \\ g_4 = f_5 \oplus f_6. \end{cases} \quad (19)$$

В формуле (19) $E_1 = 4$, $E_2 = 4$, $E_3 = 3$, $E_4 = 2$.

Необходимо преобразование g_1 , g_2 и g_4 :

$$\begin{cases} \delta_1 = g_1 \oplus f_1 = f_2 \oplus f_4 \oplus f_5; \\ \delta_2 = g_2 \oplus f_1 = f_2 \oplus f_4 \oplus f_6; \\ \delta_3 = g_3; \\ \delta_4 = g_4 \oplus f_1. \end{cases} \quad (20)$$

Контрольные разряды δ -кода будут описываться системой функций (20).

Устройство $\Delta(g)$ является довольно простым. И содержит не более k элементов XOR . В таблице 7 приводятся значения числа элементов в преобразователе $\Delta(g)$ для кодов Хэмминга со значениями $k=3, 4$ и 5 . Отметим, что максимальное количество элементов XOR , равное $p=k$, используется только в одном случае числа n для каждого k : $n = 2^k - 2$. Другими словами, максимальное число элементов XOR преобразователь $\Delta(g)$ будет иметь при $n=6, 14, 30$ и т. д. Для всех остальных значений n число $p \leq k-1$.

Таблица 7. Число элементов XOR в преобразователе $\Delta(g)$

n	m	k	p					
			0	1	2	3	4	5
4	—	—						
5	2	3		×				
6	3	3				×		
7	4	3	×					
8	—	—						
9	5	4		×				
10	6	4				×		
11	7	4	×					
12	8	4			×			
13	9	4		×				
14	10	4					×	
15	11	4	×					
16	—	—						
17	12	5		×				
18	13	5			×			
19	14	5	×					
20	15	5			×			
21	16	5		×				
22	17	5					×	
23	18	5	×					
24	19	5			×			
25	20	5		×				
26	21	5					×	
27	22	5	×					
28	23	5				×		
29	24	5		×				
30	25	5						×
31	26	5	×					

Примечания. 1. Знаком «×» обозначено число элементов XOR для каждого n , необходимое для получения δ -кода. 2. Для чисел $n = 2^i, i \in \{2, 3, \dots\}$, коды Хэмминга не строятся.

В заключение отметим, что работу структуры, приведенной на рисунке 12, можно также смоделировать в Multisim и показать эффективность ее функционирования. Кроме того, как показано выше, в ее основе может использоваться любой линейный блоковый код, к которому всегда можно применить преобразование (18). Это расширяет число способов организации СВК по двум диагностическим признакам.

9. Заключение. Коды Хэмминга и их модификации могут эффективно использоваться при СВК по двум диагностическим признакам – с контролем принадлежности формируемых кодовых слов выбранному коду и с контролем самодвойственности каждой вычисляемой функции. При этом использование кодов Хэмминга позволяет обнаруживать одно- и двукратные ошибки в кодовом векторе, а дополнительный контроль самодвойственности повышает число рабочих воздействий с тестовыми свойствами. Таким образом, использование предложенной новой структуры самопроверяемого устройства с контролем вычислений по кодам Хэмминга с самодвойственными функциями позволяет повышать характеристики контролепригодности – увеличивать число рабочих входных комбинаций, которые одновременно являются и тестовыми для рассматриваемого класса неисправностей. С точки зрения контролепригодности это приводит к улучшению свойства наблюдаемости.

По сравнению с традиционным использованием кодовых методов для контроля вычислений описанный в статье метод обладает следующим основным недостатком: за счет использования временной избыточности и импульсного режима работы снижается быстродействие схем. Помимо этого требуется использование тестеров самодвойственности сигналов. Однако это незначительно влияет на увеличение структурной избыточности СВК. Достоинством является повышение показателей контролепригодности и увеличение числа рабочих входных комбинаций, которые одновременно являются и тестовыми, что позволяет при редкой смене входных комбинаций осуществлять проверку работоспособности самопроверяемого устройства. Это является весомым преимуществом даже в том случае, когда применение дублирования оказывается более простым по характеристикам структурной избыточности, поскольку повышает показатели контролепригодности и позволяет фиксировать ошибки в вычислениях на большем числе рабочих комбинаций.

Представленный в статье подход к синтезу СВК по двум диагностическим признакам может быть распространен на использование других избыточных кодов (например, часто применяемых для организации контроля вычислений устройствами кодов паритета, Рида-Маллера, Сяо, алгебраических кодов и др. [55 – 62]), а также иных разделимых блоковых кодов с учетом их характеристик.

Литература

1. Ubar R., Raik J., Vierhaus H. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference. 2011. 578 p.
2. Дрозд А.В., Харченко В.С., Антошук С.Г., Дрозд Ю.В., Дрозд М.А., Сулима Ю.Ю. Рабочее диагностирование безопасных информационно-управляющих систем. Под ред. Дрозда А.В. и Харченко В.С. Харьков: Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», 2012. 614 с.
3. Dubrova E. Fault-Tolerant Design. Springer Science+Business Media New York. 2013. 185 p. DOI: 10.1007/978-1-4614-2113-9.
4. Hahanov V. Cyber Physical Computing for IoT-driven Services. New York, Springer International Publishing AG, 2018. 279 p.
5. Ярмолик В.Н. Контроль и диагностика вычислительных систем. Минск: «Бестпринт», 2019. 387 с.
6. Согомонян Е.С., Слабаков Е.В. Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь. 1989. 208 с.
7. Mitra S., McCluskey E. Which Concurrent Error Detection Scheme to Choose? // Proceedings of International Test Conference. 2000. pp. 985-994. DOI: 10.1109/TEST.2000.894311.
8. Гаврилов М.А., Остиану В.М., Потехин А.И. Надежность дискретных систем // Итоги науки и техники. Серия «Теория вероятностей. Математическая статистика. Теоретическая кибернетика». 1969, 1970. С. 7-104.
9. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Теория синтеза самопроверяемых цифровых систем на основе кодов с суммированием. Санкт-Петербург: «Лань», 2021. 580 с.
10. Багхдади А.А.А., Хаханов В.И., Литвинова Е.И. Методы анализа и диагностирования цифровых устройств (аналитический обзор) // Автоматизированные системы управления и приборы автоматики. 2014. № 166. С. 59-74.
11. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Основы теории надежности и технической диагностики. Санкт-Петербург: Издательство «Лань», 2019. 588 с.
12. Hamming R. Error Detecting and Correcting Codes // Bell System Technical Journal. 1950. vol. 29 (2). pp. 147-160. DOI: 10.1002/j.1538-7305.1950.tb00463.x.
13. Яблонский С.В. Введение в дискретную математику. Под ред. В.А. Садовничева. М.: «Высшая школа», 2003. 384 с.
14. Reynolds D. Meize G. Fault Detection Capabilities of Alternating Logic // IEEE Transactions on Computers. 1978. vol. C-27(12). pp. 1093-1098. DOI: 10.1109/TC.1978.1675011.

15. Гессель М., Морозов А.А., Сапожников В.В., Сапожников Вл.В. Построение самопроверяемых комбинационных схем на основе свойств самодвойственных функций // Автоматика и телемеханика. 2000. № 2. С. 151-163.
16. Takeda K., Tohma J. Logic Design of Fault-Tolerant Arithmetic Units Based on the Data Complementation Strategy // 10th International Symposium on Fault-Tolerant Computing (FTCS'10). 1980. p. 348.
17. Biernat J. Self-Dual Modules in Design of Dependable Digital Devices // International Conference on Dependability of Computer Systems. 2006. DOI: 10.1109/DEPCOS-RELCOMEX.2006.50.
18. Rai S., Raitza M., Sahoo S., Kumar A. DiSCERN: Distilling Standard-Cells for Emerging Reconfigurable Nanotechnologies // Design, Automation & Test in Europe Conference & Exhibition (DATE). 2020. DOI: 10.23919/DATE48585.2020.9116216.
19. Аксенова Г.П. Восстановление в дублированных устройствах методом инвертирования данных // Автоматика и телемеханика. 1987. № 10. С. 144-153.
20. Гессель М., Мошанин В.И., Сапожников В.В., Сапожников Вл.В. Обнаружение неисправностей в самопроверяемых комбинационных схемах с использованием свойств самодвойственных функций // Автоматика и телемеханика. 1997. № 12. С. 193-200.
21. Сапожников В.В., Сапожников Вл.В., Гессель М. Самодвойственные дискретные устройства. СПб: Энергоатомиздат, 2001. 331 с.
22. Sentovich E., Singh K., Moon C., Savoy H., Brayton R., Sangiovanni-Vincentelli A. Sequential Circuit Design Using Synthesis and Optimization // Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors. 1992. pp. 328-333. DOI: 10.1109/ICCD.1992.276282.
23. Sentovich E., Singh K., Lavagno L., Moon C., Murgai R., Saldanha A., Savoy H., Stephan P., Brayton R., Sangiovanni-Vincentelli A. SIS: A System for Sequential Circuit Synthesis // Electronics Research Laboratory, Department of Electrical Engineering and Computer Science. 1992. 45 p.
24. Efanov D., Sapozhnikov V., Sapozhnikov V.I., Osadchy G., Pivovarov D. Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems // Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019). 2019. pp. 136-143. DOI: 10.1109/EWDTS.2019.8884398.
25. Carter W., Duke K., Schneider P. Self-Checking Error Checker for Two-Rail Coded Data // United States Patent Office. 1968. no. 747533. 10 p.
26. Сапожников В.В., Сапожников Вл.В. Самопроверяемый компаратор с дополнительным импульсным входом // Автоматика и телемеханика. 1997. № 6. С. 200-208.
27. Sapozhnikov V.I., Dmitriev A., Goessel M., Sapozhnikov V.V. Self-Dual Parity Checking a New Method for on Line Testing // Proceedings of 14th IEEE VLSI Test Symposium. 1996. pp. 162-168. DOI: 10.1109/VTEST.1996.510852.
28. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Самотестируемая структура для функционального обнаружения отказов в комбинационных схемах // Автоматика и телемеханика. 1999. № 11. С. 162-174.
29. Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Логическое дополнение новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003. № 1. С. 167-176.

30. Пивоваров Д.В. Построение систем функционального контроля многовыходных комбинационных схем методом логического дополнения по равновесным кодам // Автоматика на транспорте. 2018. Т. 4. № 1. С. 131-149.
31. Пашуков А.В. Применение взвешенных кодов с суммированием при синтезе схем встроенного контроля по методу логического дополнения // Автоматика на транспорте. 2022. Т. 8. № 1. С. 101-114. DOI: 10.20295/2412-9186-2022-8-01-101-114.
32. Аксёнова Г.П. Метод синтеза схем встроенного контроля для автоматов с памятью // Автоматика и телемеханика. 1973. № 2. С. 109-116.
33. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Обнаружение неисправностей в комбинационных схемах с помощью самодвойственного контроля // Автоматика и телемеханика. 2000. № 7. С. 140-149.
34. Saposhnikov V.I., Moshanin V., Saposhnikov V., Goessel M. Experimental Results for Self-Dual Multi-Output Combinational Circuits // Journal of Electronic Testing: Theory and Applications. 1999. vol. 14(3). pp. 295-300. DOI: 10.1023/A:1008370405607.
35. Гессель М., Дмитриев А.В., Сапожников В.В., Сапожников Вл.В. Исследование свойств самодвойственных самопроверяемых многотактных схем // Автоматика и телемеханика. 2001. № 4. С. 148-159.
36. Сапожников В.В., Сапожников Вл.В., Валиев Р.Ш. Синтез самодвойственных дискретных систем. СПб: Элмор, 2006. 220 с.
37. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking. *Frontiers in Electronic Testing*, Springer, 2008. vol. 42. 184 p.
38. Тельпухов Д.В., Жукова Т.Д., Деменева А.И., Гуров С.И. Схема функционального контроля для комбинационных схем на основе R-кода // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС). 2018. № 4. С. 98-104. DOI: 10.31114/2078-7707-2018-4-98-104.
39. Стемповский А.Л., Тельпухов Д.В., Жукова Т.Д., Деменева А.И., Надоленко В.В., Гуров С.И. Синтез схемы функционального контроля на основе спектрального R-кода с разбиением выходов на группы // Микроэлектроника. 2019. Т. 48. № 4. С. 284-294. DOI: 10.1134/S0544126919040094.
40. Стемповский А.Л., Тельпухов Д.В., Гуров С.И., Жукова Т.Д., Щелоков А.Н., Новиков А.Д. Синтез СФК на основе LDPC кода с использованием мажоритарного декодирования // Известия ЮФУ. Технические науки. 2019. № 4(206). С. 195-206. DOI: 10.23683/2311-3103-2019-4-195-206.
41. Абдуллаев Р.Б. Синтез полностью самопроверяемых схем встроенного контроля на основе полиномиальных кодов для комбинационных логических устройств // Автоматика на транспорте. 2021. Т. 7. № 3. С. 452-476. DOI: 10.20295/2412-9186-2021-7-3-452-476.
42. Berger J.M. A Note on Error Detection Codes for Asymmetric Channels // *Information and Control*. 1961. vol. 4(1). pp. 68-73. DOI: 10.1016/S0019-9958(61)80037-5.
43. Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
44. Drozd O., Antoniuk V., Nikul V., Drozd M. Hidden Faults in FPGA-Built Digital Components of Safety-Related Systems // *Proceedings of the 14th International Conference "TCSET" 2018*. 2018. pp. 805-809. DOI: 10.1109/TCSET.2018.8336320.
45. Drozd O., Rucinski A., Zaszolkina K., Martynyuk O., Drozd J. Resilient Development of Models and Methods in Computing Space // *Proceedings of 19th IEEE East-West*

- Design & Test Symposium (EWDTS'2021). 2021. pp. 70-75. DOI: 10.1109/EWDTS52692.2021.9581002.
46. Сапожников Вл.В. Синтез систем управления движением поездов на железнодорожных станциях с исключением опасных отказов. М.: Наука, 2021. 229 с.
 47. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications // Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017). 2017. pp. 25-28. DOI: 10.1109/EWDTS.2017.8110065.
 48. Тельпухов Д.В., Жукова Т.Д., Щелоков А.Н., Кретинина П.Д. Применение кода Хэмминга в задаче повышения сбоеустойчивости комбинационных схем // Известия ЮФУ. Технические науки. 2021. № 4(221). С. 220-231. DOI: 10.18522/2311-3103-2021-4-220-231.
 49. Ефанов Д.В. Предельные свойства кода Хэмминга в схемах функционального диагностирования // Информатика и системы управления. 2011. № 3. С. 70-79.
 50. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Особенности применения кодов Хэмминга при организации самопроверяемых схем встроенного контроля // Известия высших учебных заведений. Приборостроение. 2018. Т. 61. № 1. С. 47-59. DOI: 10.17586/0021-3454-2018-61-1-47-59.
 51. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Коды Хэмминга в системах функционального контроля логических устройств. СПб.: Наука, 2018. 151 с.
 52. Ефанов Д.В., Погодина Т.С. Самодвойственный контроль комбинационных схем с применением кодов Хэмминга // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2022. № 3. С. 113-122. DOI: 10.31114/2078-7707-2022-3-113-122.
 53. Zhang C., Liu Y., Jiang T., Mao W., Wang J. Multisim-Based Digital Clock Design // 2020 IEEE 9th Joint International Information Technology and Artificial Intelligence Conference (ITAIC). 2020. DOI: 10.1109/ITAIC49862.2020.9338902.
 54. Chen Y., Zhang M., Hao J. The Circuit Design of Voltage-controlled Color Changing Lamp Based on Multisim // IEEE International Conference on Power, Intelligent Computing and Systems (ICPICS). 2020. DOI: 10.1109/ICPICS50287.2020.9202148.
 55. Richter M., Goessel M. Concurrent Checking with Split-Parity Codes // 15th IEEE International On-Line Testing Symposium. 2009. pp. 159-163, DOI: 10.1109/IOLTS.2009.5196001.
 56. Sogomonyan E., Weidling S., Goessel M. A New Method for Correcting Time and Soft Errors in Combinational Circuits // IEEE 16th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS). 2013. pp. 283-286. DOI: 10.1109/DDECS.2013.6549835.
 57. Gopi S., Kopparty S., Oliveira R., Ron-Zewi N., Saraf S. Locally Testable and Locally Correctable Codes Approaching the Gilbert-Varshamov Bound // IEEE Transactions on Information Theory. 2018. vol. 64(8). pp. 5813-5831. DOI: 10.1109/TIT.2018.2809788.
 58. Harsha P., Srinivasan S. Robust Multiplication-Based Tests for Reed-Muller Codes // IEEE Transactions on Information Theory. 2019. vol. 65(1). pp. 184-197. DOI: 10.1109/TIT.2018.2863713.
 59. Mandry H., Herkle A., Kürzinger L., Muelich S., Becker J., Fischer R., Ortmanns M. Modular PUF Coding Chain with High-Speed Reed-Muller Decoder // IEEE International Symposium on Circuits and Systems (ISCAS). 2019. DOI: 10.1109/ISCAS.2019.8702484.

60. Sim M., Zhuang Y. Design of Two Interleaved Error Detection and Corrections Using Hsiao Code and CRC // IECON 2020 The 46th Annual Conference of the IEEE Industrial Electronics Society. 2020. DOI: 10.1109/IECON43393.2020.9254837.
61. Абдуллаев Р.Б. Вероятностные характеристики полиномиальных кодов в системах технического диагностирования // Автоматика на транспорте. 2020. Т. 6. № 1. С. 64-88. DOI: 10.20295/2412-9186-2020-6-1-64-88.
62. Mishra N., Naresh N., Acharya A. Parallel Field Test Architecture for Boot-ROMs in Safety-Critical SoCs // 2021 IEEE International Test Conference India (ITC India). 2021. DOI: 10.1109/ITCIndia52672.2021.9532633.

Ефанов Дмитрий Викторович — д-р техн. наук, доцент, профессор кафедры, кафедра автоматике, телемеханики и связи на железнодорожном транспорте, Российский университет транспорта (МИИТ); профессор, высшая школа транспорта института машиностроения, материалов и транспорта, Санкт-Петербургский политехнический университет Петра Великого. Область научных интересов: дискретная математика, надежность, безопасность и техническая диагностика дискретных систем, методы непрерывного мониторинга систем автоматического управления и сложных инженерных конструкций и сооружений. Число научных публикаций — 500. TrES-4b@yandex.ru; улица Образцова, 9/9, 127994, Москва, Россия; р.т.: +7(911)709-2164.

Погодина Татьяна Сергеевна — студент, кафедра автоматике, телемеханики и связи на железнодорожном транспорте, Российский университет транспорта (МИИТ). Область научных интересов: дискретная математика, надежность и техническая диагностика дискретных систем. Число научных публикаций — 4. pogodina-ts@mail.ru; улица Образцова, 9/9, 127994, Москва, Россия; р.т.: +7(977)404-7953.

D. EFANOV, T. POGODINA
**PROPERTIES INVESTIGATION OF SELF-DUAL
COMBINATIONAL DEVICES WITH CALCULATION CONTROL
BASED ON HAMMING CODES**

Efanov D., Pogodina T. Properties Investigation of Self-Dual Combinational Devices with Calculation Control Based on Hamming Codes.

Abstract. A new approach to the synthesis of self-checking devices is considered, based on the control of calculations in testing objects using Hamming codes, the check bits of which are described by self-dual functions. In this case, the structure operates in a pulsed mode, which is actually based on the introduction of temporal redundancy when building a self-checking device. This, unfortunately, leads to some decrease in performance, however, it significantly improves the characteristics of controllability, which is especially important for devices and systems of critical use, the input data for which does not change so often. A brief review of methods for constructing built-in control circuits based on the self-duality property of calculated functions is given. The basic structures of the organization of built-in control circuits are given. The proposed ways of developing the theory of synthesis of built-in control circuits are based on checking whether or not the calculated functions belong to a class of self-dual Boolean functions. All possible values of the number of data bits for Hamming codes have been established. They will have the property of the self-duality of functions describing control bits. En-coders of such Hamming codes will be self-dual devices. Since the functions of the check bits of Hamming codes are linear, in order for them to be self-dual, it is necessary that an odd number of arguments be used in each of them. It is proved that the number of bits of code words of Hamming codes with self-dual check functions is equal to $n=3+4l$, $l \in \mathbb{N}_0$. The results of the simulations self-dual devices with built-in control circuits along two diagnostic parameters in the Multisim environment are presented. A method is proposed for modification of the structure of calculation control along two diagnostic parameters, which allows to use any linear block code (not necessarily Hamming code). It is based on retrofitting the encoder with a device for converting functions into self-dual ones. In fact, this is a code modification device. It is proved that to obtain a modified Hamming code with self-dual control functions for $n=3+4l$, $l \in \mathbb{N}_0$; cases, it is enough to add modulo $M=2$ the non-self-dual control function with the function of the high data bit.

Keywords: self-checking combinational device, integrated control circuit, checking of calculations at the outputs of combinational devices, linear block code, checking of calculations by two diagnostic parameters, control of self-duality, checking of calculations by Hamming codes.

References

1. Ubar R., Raik J., Vierhaus H. Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference. 2011. 578 p.
2. Drozd A.V., Kharchenko V.S., Antoshchuk S.G., Drozd Yu.V., Drozd M.A., Sulima Yu.Yu. Rabochee diagnostirovanie bezopasnyh informacionno-upravljajushhih sistem [Working Diagnostics of Safe Information and Control Systems]. Eds: A.V. Drozd, V.S. Kharchenko. Khar'kov: N.E. Zhukovsky National Aerospace University «KAI», 2012. 614 p. (In Russ.).

3. Dubrova E. Fault-Tolerant Design. Springer Science+Business Media New York. 2013. 185 p. DOI: 10.1007/978-1-4614-2113-9.
4. Hahanov V. Cyber Physical Computing for IoT-driven Services. New York, Springer International Publishing AG, 2018. 279 p.
5. Yarmolik V.N. Kontrol' i diagnostika vychislitel'nyh sistem [Control and Diagnostics of Computer Systems]. Minsk: «Bestprint», 2019. 387 p. (In Russ.).
6. Sogomonyan E.S., Slabakov E.V. Samoproverjaemye ustrojstva i otkazoustojchivye sistemy [The Self-Checked Devices and Failure-Safe Systems]. M.: Radio and Communications, 1989. 208 p. (In Russ.).
7. Mitra S., McCluskey E. Which Concurrent Error Detection Scheme to Choose? // Proceedings of International Test Conference. 2000. pp. 985-994. DOI: 10.1109/TEST.2000.894311.
8. Gavrilov M A., Ostianu V.M., Potekhin A.I. [Reliability of discrete systems]. Itogi Nauki. Seriya "Teoriya Veroyatnosti. Matematicheskaya Statistika. Teoreticheskaya Kibernetika Probability Theory. Mathematical Statistics. Theoretical Cybernetics. 1969, 1970. pp. 7-104. (In Russ.).
9. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Teoriya sinteza samoproverjaemyh cifrovyyh sistem na osnove kodov s summirovaniem [Theory of Synthesis of Self-Checking Digital Systems Based on Sum Codes]. St. Petersburg: Lan Publishing House, 2021. 580 p. (In Russ.).
10. Baghdadi A.A.A., Hahanov V.I., Litvinova E.I. [Digital System Analysis and Diagnosis Methods (Analytical Review)]. Avtomatizirovannyye sistemy upravleniya i pribory avtomatiki Management Information System and Devices. 2014. no. 166. pp. 59-74. (In Russ.).
11. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Osnovy teorii nadezhnosti i tehniceskoy diagnostiki [Fundamentals of the Theory of Reliability and Technical Diagnostics]. St. Petersburg: Lan Publishing House, 2019. 588 p. (In Russ.).
12. Hamming R. Error Detecting and Correcting Codes // Bell System Technical Journal. 1950. vol. 29 (2). pp. 147-160. DOI: 10.1002/j.1538-7305.1950.tb00463.x.
13. Yablonsky S.V. Vvedenie v diskretnuju matematiku [Introduction to Discrete Mathematics]. Proc. manual for universities, Ed.: V.A. Sadovnichev. Moscow, Higher School, 2003. 384 p. (In Russ.).
14. Reynolds D. Meize G. Fault Detection Capabilities of Alternating Logic. IEEE Transactions on Computers. 1978. vol. C-27(12). pp. 1093-1098. DOI: 10.1109/TC.1978.1675011.
15. Göessel M., Morozov A.A., Sapozhnikov V.V., Sapozhnikov V.I. [Self-Testing Combinational Circuits: Their Design Through the Use of the Properties of Self-Dual Functions]. Avtomatika i telemekhanika Automation and Remote Control. 2000. no. 2. pp. 151-163. (In Russ.).
16. Takeda K., Tohma J. Logic Design of Fault-Tolerant Arithmetic Units Based on the Data Complementation Strategy. 10th International Symposium on Fault-Tolerant Computing (FTCS'10). 1980. p. 348.
17. Biernat J. Self-Dual Modules in Design of Dependable Digital Devices // International Conference on Dependability of Computer Systems. 2006. DOI: 10.1109/DEPCOS-RELCOMEX.2006.50.
18. Rai S., Raitza M., Sahoo S., Kumar A. DiSCERN: Distilling Standard-Cells for Emerging Reconfigurable Nanotechnologies. Design, Automation & Test in Europe Conference & Exhibition (DATE). 2020. DOI: 10.23919/DATE48585.2020.9116216.

19. Aksenova G.P. [Restoration in Duplicated Units by the Method of Data Inversion]. *Avtomatika i telemekhanika Automation and Remote Control*. 1987. no. 10. pp. 144-153. (In Russ.).
20. Göessel M., Moshanin V.I., Sapozhnikov V.V., Sapozhnikov V.I.V. [Fault Detection in Self-Test Combination Circuits Using the Properties of Self-Dual Functions]. *Avtomatika i telemekhanika Automation and Remote Control*. 1997. no. 12. pp. 193-200. (In Russ.).
21. Sapozhnikov V.V., Sapozhnikov V.I.V., Göessel M. *Samodvoystvennye diskretnye ustrojstva [Self-dual Digital Devices]*. St. Petersburg: Energoatomizdat, 2001. 331 p. (In Russ.).
22. Sentovich E., Singh K., Moon C., Savoj H., Brayton R., Sangiovanni-Vincentelli A. *Sequential Circuit Design Using Synthesis and Optimization*. Proceedings IEEE International Conference on Computer Design: VLSI in Computers & Processors. 1992. pp. 328-333. DOI: 10.1109/ICCD.1992.276282.
23. Sentovich E., Singh K., Lavagno L., Moon C., Murgai R., Saldanha A., Savoj H., Stephan P., Brayton R., Sangiovanni-Vincentelli A. *SIS: A System for Sequential Circuit Synthesis*. Electronics Research Laboratory, Department of Electrical Engineering and Computer Science. 1992. 45 p.
24. Efanov D., Sapozhnikov V., Sapozhnikov V.I., Osadchy G., Pivovarov D. *Self-Dual Complement Method up to Constant-Weight Codes for Arrangement of Combinational Logical Circuits Concurrent Error-Detection Systems*. Proceedings of 17th IEEE East-West Design & Test Symposium (EWDTS'2019). 2019. pp. 136-143. DOI: 10.1109/EWDTS.2019.8884398.
25. Carter W.C., Duke K.A., Schneider P.R. *Self-Checking Error Checker for Two-Rail Coded Data*. United States Patent Office, filed July 25, 1968, ser. No. 747533, patented Jan. 26, 1971, N. Y., 10 p.
26. Saposhnikov V.V., Saposhnikov V.I.V. [A Self-Checking Comparator with Additional Pulse Input]. *Avtomatika i telemekhanika Automation and Remote Control*. 1997. no. 6. pp. 200-208. (In Russ.).
27. Saposhnikov V.I.V., Dmitriev A., Goessel M., Saposhnikov V.V. *Self-Dual Parity Checking a New Method for on Line Testing*. Proceedings of 14th IEEE VLSI Test Symposium. 1996. pp. 162-168. DOI: 10.1109/VTEST.1996.510852.
28. Göessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov V.I.V. [A Functional Fault-Detection Self-Test for Combinational Circuits]. *Avtomatika i telemekhanika – Automation and Remote Control*. 1999. no. 11. pp. 162-174. (In Russ.).
29. Gessel M., Morozov A.V., Sapozhnikov V.V., Sapozhnikov V.I.V. [Logic Complement, a New Method of Checking the Combinational Circuits]. *Avtomatika i telemekhanika Automation and Remote Control*. 2003. no. 1. pp. 167-176. (In Russ.).
30. Pivovarov D.V. [Formation of Concurrent Error Detection Systems in Multiple-Output Combinational Circuits Using the Boolean Complement Method Based on Constant-Weight Codes]. *Avtomatika na transporte – Transport Automation Research*. 2018. vol. 4. no. 1. pp. 131-149. (In Russ.).
31. Pashukov A.V. [Application of Weight-Based Sum Codes at the Synthesis of Circuits for Built-In Control by Boolean Complement Method]. *Avtomatika na transporte – Transport Automation Research*. 2022. vol. 8. no. 1. pp. 101-114. DOI: 10.20295/2412-9186-2022-8-01-101-114. (In Russ.).
32. Aksjonova G.P. [Method of Synthesizing Built-In Monitoring Arrangements for Automata with Memory]. *Avtomatika i telemekhanika – Automation and Remote Control*. 1973. no. 2. pp. 109-116. (In Russ.).

33. Göessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov VI.V. [Detection of Faults in Combinational Circuits by a Self-Dual Test]. *Avtomatika i telemekhanika Automation and Remote Control*. 2000. no. 7. pp. 140-149. (In Russ.).
34. Saposhnikov VI.V., Moshanin V., Saposhnikov V.V., Goessel M. Experimental Results for Self-Dual Multi-Output Combinational Circuits. *Journal of Electronic Testing: Theory and Applications*. 1999. vol. 14(3). pp. 295-300. DOI: 10.1023/A:1008370405607.
35. Göessel M., Dmitriev A.V., Sapozhnikov V.V., Sapozhnikov VI.V. [Malfunctioning Detection in Combination Circuits Via Self-Dual Duplication]. *Avtomatika i telemekhanika Automation and Remote Control*. 2001. no. 4. pp. 148-159. (In Russ.).
36. Sapozhnikov V.V., Sapozhnikov VI.V., Valiev R.Sh. Sintez samodvoystvennykh diskretnykh sistem [Synthesis of Self-Dual Digital Systems]. St. Petersburg: Elmor, 2006. 220 p. (In Russ.).
37. Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking. *Frontiers in Electronic Testing*, Springer. 2008. vol. 42. 184 p.
38. Telpuhov D.V., Zhukova T.D., Demeneva A.I., Gurov S.I. [Circuit of Functional Control for Combinational Circuits Based on R-Code]. *Problemy razrabotki perspektivnykh mikro- i nanojelektronnykh sistem (MJeS) Problems of Advanced Micro- and Nanoelectronic Systems Development (MES)*. 2018. no. 4. pp. 98-104. DOI: 10.31114/2078-7707-2018-4-98-104. (In Russ.).
39. Stempkovskii A.L., Tel'pukhov D.V., Zhukova T.D., Demeneva A.I., Nadolenko V.V., Gurov S.I. [Synthesis of a Concurrent Error Detection Circuit Based on the Spectral R-Code with the Partitioning of Outputs into Groups]. *Mikroelektronika – Russian Microelectronics*. 2019. vol. 48. no. 4. pp. 240-249. DOI: 10.1134/S0544126919040094. (In Russ.).
40. Stempkovskiy A.L., Telpukhov D.V., Gurov S.I., Zhukova T.D., Schelokov A.N., Novikov A.D. [Synthesis Method of Fault-Tolerant Combination Circuits with CED Based on LDPC Code]. *Izvestiya JuFU. Tehnicheskie nauki Izvestiya SFedU. Engineering Sciences*. 2019. no. 4 (206). pp. 195-206. DOI: 10.23683/2311-3103-2019-4-195-206. (In Russ.).
41. Abdullaev R.B. [Synthesis of Fully Self-Checked Schemes Built-In Control Based on Polynomial Codes for Combination Logic Devices]. *Avtomatika na transporte – Transport Automation Research*. 2021. vol. 7. no. 3. pp. 452-476. DOI: 10.20295/2412-9186-2021-7-3-452-476. (In Russ.).
42. Berger J.M. A Note on Error Detection Codes for Asymmetric Channels. *Information and Control*. 1961. vol. 4(1). pp. 68-73. DOI: 10.1016/S0019-9958(61)80037-5.
43. Piestrak S.J. Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995. 111 p.
44. Drozd O., Antoniuk V., Nikul V., Drozd M. Hidden Faults in FPGA-Built Digital Components of Safety-Related Systems. *Proceedings of the 14th International Conference "TCSET'2018*. 2018. pp. 805-809. DOI: 10.1109/TCSET.2018.8336320.
45. Drozd O., Rucinski A., Zasholkin K., Martynyuk O., Drozd J. Resilient Development of Models and Methods in Computing Space // *Proceedings of 19th IEEE East-West Design & Test Symposium (EWDTS'2021)*. 2021. pp. 70-75. DOI: 10.1109/EWDTS52692.2021.9581002.
46. Sapozhnikov VI.V. Sintez sistem upravleniya dvizheniem poezdov na zheleznodorozhnykh stantsiyah s iskljucheniem opasnykh otkazov [Synthesis of train traffic control system at railway stations with the exception of dangerous failures]. M.: Nauka, 2021. 229 p. (In Russ.).

47. Tshagharyan G., Harutyunyan G., Shoukourian S., Zorian Y. Experimental Study on Hamming and Hsiao Codes in the Context of Embedded Applications. Proceedings of 15th IEEE East-West Design & Test Symposium (EWDTS'2017). 2017. pp. 25-28. DOI: 10.1109/EWDTS.2017.8110065.
48. Telpukhov D.V., Zhukova T.D., Schelokov A.N., Kretinina P.D. [Application of the Hamming Code in the Problem of Increasing Fault Tolerance of Logic Circuits]. Izvestija JuFU. Tehnicheskie nauki Izvestiya SFedU. Engineering Sciences. 2021. no. 4(221). pp. 220-231. DOI: 10.18522/2311-3103-2021-4-220-231. (In Russ.).
49. Efanov D.V. [The Hamming Code's Limit Properties in Functional Control Scheme]. Informatika i sistemy upravlenija Information Science and Control Systems. 2011. no. 3. pp. 70-79. (In Russ.).
50. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. [Features of Hamming Codes Application in Self-Checking Test Circuit Organization]. Izvestija vysshih uchebnyh zavedenij. Priborostroenie Journal of Instrument Engineering. 2018. vol. 61. no. 1. pp. 47-59. DOI: 10.17586/0021-3454-2018-61-1-47-59. (In Russ.).
51. Sapozhnikov V.V., Sapozhnikov V.I., Efanov D.V. Kody Hjemminga v sistemah funkcional'nogo kontrolja logicheskikh ustrojstv [Hamming Codes in Concurrent Error Detection Systems of Logic Devices]. SPb.: Nauka, 2018. 151 p. (In Russ.).
52. Efanov D.V., Pogodina T.S. [Self-Dual Control of Combinational Circuits with Using Hamming Codes]. Problemy razrabotki perspektivnyh mikro- i nanojelektronnyh sistem (MJeS) Problems of Advanced Micro- and Nanoelectronic Systems Development (MES). 2022. no. 3. pp. 113-122. DOI: 10.31114/2078-7707-2022-3-113-122. (In Russ.).
53. Zhang C., Liu Y., Jiang T., Mao W., Wang J. Multisim-Based Digital Clock Design. 2020 IEEE 9th Joint International Information Technology and Artificial Intelligence Conference (ITAIC). 2020. DOI: 10.1109/ITAIC49862.2020.9338902.
54. Chen Y., Zhang M., Hao J. The Circuit Design of Voltage-controlled Color Changing Lamp Based on Multisim. IEEE International Conference on Power, Intelligent Computing and Systems (ICPICS). 2020. DOI: 10.1109/ICPICS50287.2020.9202148.
55. Richter M., Goessel M. Concurrent Checking with Split-Parity Codes. 15th IEEE International On-Line Testing Symposium. 2009. pp. 159-163, DOI: 10.1109/IOLTS.2009.5196001.
56. Sogomonyan E., Weidling S., Goessel M. A New Method for Correcting Time and Soft Errors in Combinational Circuits. IEEE 16th International Symposium on Design and Diagnostics of Electronic Circuits & Systems (DDECS). 2013. pp. 283-286. DOI: 10.1109/DDECS.2013.6549835.
57. Gopi S., Kopparty S., Oliveira R., Ron-Zewi N., Saraf S. Locally Testable and Locally Correctable Codes Approaching the Gilbert-Varshamov Bound. IEEE Transactions on Information Theory. 2018. vol. 64(8). pp. 5813-5831. DOI: 10.1109/TIT.2018.2809788.
58. Harsha P., Srinivasan S. Robust Multiplication-Based Tests for Reed-Muller Codes. IEEE Transactions on Information Theory. 2019. vol. 65(1). pp. 184-197. DOI: 10.1109/TIT.2018.2863713.
59. Mandry H., Herkle A., Kürzinger L., Muelich S., Becker J., Fischer R., Ortmanns M. Modular PUF Coding Chain with High-Speed Reed-Muller Decoder. IEEE International Symposium on Circuits and Systems (ISCAS). 2019. DOI: 10.1109/ISCAS.2019.8702484.
60. Sim M., Zhuang Y. Design of Two Interleaved Error Detection and Corrections Using Hsiao Code and CRC. IECON 2020 The 46th Annual Conference of the IEEE Industrial Electronics Society. 2020. DOI: 10.1109/IECON43393.2020.9254837.

61. Abdullaev R.B. [Probabilistic Features of Polynomial Codes in Technical Diagnosis Systems]. *Avtomatika na transporte – Transport Automation Research*. 2020. vol. 6 no. 1. pp. 64-88. DOI: 10.20295/2412-9186-2020-6-1-64-88. (In Russ.).
62. Mishra N., Naresh N., Acharya A. Parallel Field Test Architecture for Boot-ROMs in Safety-Critical SoCs. 2021 IEEE International Test Conference India (ITC India). 2021. DOI: 10.1109/ITCIndia52672.2021.9532633.

Efanov Dmitry — Ph.D., Dr.Sci., Associate Professor, Professor of the department, Department of automation, remote control and communication on railway transport, Russian University of Transport; Professor, Transport higher school of mechanical engineering, material and transport institute, Peter the Great Saint Petersburg Polytechnic University. Research interests: discrete mathematics, reliability, safety and technical diagnostics of discrete devices, methods of health monitoring of automatic control systems and complex engineering structures and facilities. The number of publications — 500. TrES-4b@yandex.ru; 9/9, Obratsova St., 127994, Moscow, Russia; office phone: +7(911)709-2164.

Pogodina Tatiana — Student, Department of automation, remote control and communication on railway transport, Russian University of Transport. Research interests: discrete mathematics, reliability and technical diagnostics of discrete devices. The number of publications — 4. pogodina-ts@mail.ru; 9/9, Obratsova St., 127994, Moscow, Russia; office phone: +7(977)404-7953.